

# 行政院國家科學委員會專題研究計畫 成果報告

## 極低蕭基位障與接觸電阻技術之研究(I) 研究成果報告(精簡版)

計畫類別：個別型  
計畫編號：NSC 99-2221-E-009-173-  
執行期間：99年08月01日至100年07月31日  
執行單位：國立交通大學電子工程學系及電子研究所

計畫主持人：崔秉鉞

計畫參與人員：碩士班研究生-兼任助理人員：高銘鴻  
碩士班研究生-兼任助理人員：曾炫姿  
碩士班研究生-兼任助理人員：翁茂元  
博士班研究生-兼任助理人員：王培宇  
博士班研究生-兼任助理人員：鄭嶸健  
博士班研究生-兼任助理人員：翁瑄美  
博士班研究生-兼任助理人員：李振銘  
博士班研究生-兼任助理人員：吳育昇

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中華民國 100 年 10 月 28 日

## 中文摘要

隨金氧半場效電晶體的尺寸不斷微縮，金屬與源極/汲極的接觸面積也持續縮小，接觸電阻在整體電晶體的寄生電阻中所佔的比例將會持續上升。欲降低接觸電阻係數，必須提高接觸面載子濃度以及降低蕭基位障界面高度。然載子濃度受限於製程溫度及元素在基板中的固態溶解度，除非更換基板材料，不容易再提高，降低蕭基位障高度便成為當務之急。

本計畫為原規劃三年期計畫的第一年，已經完成蕭基位障高度低於 0.3 eV、接觸電阻係數接近  $1 \times 10^{-9} \Omega\text{-cm}^2$  的參數擷取技術的測試結構設計、模擬分析、擷取程序。也發展出利用超薄介電層改善 n 型鍍表面費米能階限定的問題，將蕭基位障高度降低到 0.238 eV。已投稿一篇論文至國際研討會，其餘成果將陸續發表於國際研討會論文及 SCI 期刊。

**關鍵詞：**接觸電阻、接觸電阻係數、蕭基位障、蕭基位障高度

## Abstract

With the fast scaling-down of CMOSFETs, the metal to source/drain contact area becomes small and small. Therefore, the contact resistance becomes the dominant factor of the total parasitic resistance. To reduce the contact resistance, the only two methods are to increase the carrier concentration at the contact interface and to reduce the Schottky barrier height of the metal/Si contact. However, the carrier concentration is limited by the thermal budget and the solid-state solubility, and is hard to increase except we change the substrate material. Therefore, the reduction of Schottky barrier height becomes urgent.

This year is the 1<sup>st</sup> year of the 3-year project. We have developed the extraction procedures and test structures design for Schottky barrier height lower than 0.3eV and specific contact resistivity as low as  $1 \times 10^{-9} \Omega\text{-cm}^2$ . A method using ultra-thin interfacial dielectric to solve the Fermi level pinning effect at the metal/n-Ge contact is also developed. The Schottky barrier height is reduced to 0.265eV. A paper has been submitted to international conference. The remaining results will be submitted to international conferences and SCI journals in the near future.

**Keywords:** contact resistance, specific contact

resistivity, Schottky barrier, Schottky barrier height

## 一、前言

為提升積體電路之元件密度及性能，金氧半場效電晶體(MOSFET)的尺寸不斷微縮，金屬與源極/汲極的接觸面積也持續縮小。金屬/半導體界面因為功函數差異以及界面能態，會形成一能量障礙，稱為蕭基位障(Schottky barrier)，使得載子通過的時候，有一界面電阻，此電阻稱為接觸電阻(contact resistance)，單位面積的接觸電阻稱為接觸電阻係數(contact resistivity)或是特徵接觸電阻(specific contact resistance)。在相同的接觸電阻係數下，接觸面積愈小，接觸電阻自然愈大。根據國際半導體技術藍圖(ITRS)的預測，接觸電阻在整體電晶體的寄生電阻中所佔的比例將會持續上升，若不改善，接觸電阻終將抵銷電晶體微縮所獲得的性能提升。解決之道，唯有降低接觸電阻係數。圖 1 是 2010 年 ITRS 所訂定的接觸電阻係數的需求 [1]。

根據基本的半導體元件物理，金屬/半導體界面的接觸電阻係數( $\rho_c$ )可以表示為：

$$\rho_c \propto \exp\left[\frac{2\sqrt{\epsilon_{Si}m^*}}{h}\left(\frac{\phi_b}{\sqrt{N_D}}\right)\right]$$

，其中  $\phi_b$  為位障高度， $N_D$  為半導體的摻雜濃度 [2]。降低蕭基位障高度和提高摻雜濃度對於降低接觸電阻有類似的效果。根據圖 2 的理論計算結果，如果載子濃度  $10^{20} \text{ cm}^{-3}$ ，欲降低接觸電阻至  $3 \times 10^{-8} \Omega\text{-cm}^2$  以下，蕭基位障高度必須小於 0.4eV，這遠低於單純 NiSi 對矽基板的蕭基位障高度 [3]。

研究接觸電阻的另一個問題是低蕭基位障和低接觸電阻係數的測量技術。低蕭基位障使得在室溫下的熱游離發射(Thermionic Emission, TE)電流極大，蕭基界面元件的寄生阻抗大於界面阻抗，將很難從傳統的 I-V 或是 C-V 方法決定正確的蕭基位障高度，因此必需進行低溫測量。溫度愈低，場發射(Field Emission, FE)逐漸不可忽略，因此必需以完整的包含 TE 和 FE 的熱場發射(Thermionic Field Emission, TFE)傳導機制，才能決定正確的蕭基位障高度[4]。圖 3 是我們近期的研究結果，單純的 NiSi/Si 蕭基位障界面的 I-V 特性可以用 TFE 模型再加

上鏡像電荷位障降低(Image Force Barrier Lowering, IFBL)解釋，但是因為蕭基位障較高，TFE 模型可以得到不錯的結果，如果採用一些降低蕭基位障高度的製程技術，造成界面附近的晶體缺陷增加，缺陷所造成的激發/復合(generation/ recombination)現象，以及透過缺陷的穿隧電流，可能也需要納入考慮。如何準確決定高缺陷密度的 0.5eV 以下的蕭基位障高度，仍是亟待研究的課題。

低接觸電阻係數的擷取更為困難。十字橋接凱爾文電阻(Cross-Bridge Kelvin Resistor, CBKR)是目前最被廣泛使用，也是誤差最小的測試結構，但是因為製程因素，仍然會有寄生效應，使得測量到的接觸電阻會比真正的接觸電阻高。標準 L 型 CBKR 結構以及理論推導的誤差如圖 4 所示 [5]。假設  $l_x=100\text{nm}$ ,  $l_y=100\text{nm}$ ,  $\delta=50\text{nm}$ ,  $R_s=100 \Omega/\square$ ，寄生接觸電阻係數約為  $8 \times 10^{-8} \Omega\text{-cm}^2$ ，嚴重影響低接觸電阻係數的測量。D 型 CBKR 的寄生接觸電阻雖然較低，但也相去不遠 [6]。

根據上述說明，極低蕭基位障高度以及接觸電阻係數的測量技術尚無良好對策，無法準確知道不同材料與製程的接觸電阻，這對於技術研發造成嚴重困擾。

## 二、研究目的與文獻探討

近幾年，已經有一些文獻探討降低蕭基位障高度的理論與實務，一類是提高介面摻雜濃度，使得電流傳導機制從 TE 轉變為 FE 或是 TFE，或是藉由介面的電偶極(dipole)影響等效蕭基位障 [7-16]。此類作法得到的是等效蕭基位障高度降低，而非真實的蕭基位障降低。另一類作法是摻雜低蕭基位障的金屬，形成低蕭基位障介面層 [17-19]。

近年有文獻認為當接觸面積減小，接觸電阻變大，寄生效應可以忽略 [20]，但是我們重新以三維數值模擬分析 100nm 以下的 CBKR 結構，確認先前所發現的現象，在 50nm 依然存在，且無減緩趨勢。近年還有一些文獻報導達到極低的接觸電阻係數，甚至低於  $1 \times 10^{-8} \Omega\text{-cm}^2$  [20]，但是檢視其測試結構，所測量到的電阻值是末端電阻(end resistance)，常低於真正的接觸電阻。

本計畫將針對上述問題，開發低蕭基位

障、低接觸電阻係數的製程技術，並發展電性測量分析的技術。

## 三、研究方法

### A. 極低蕭基位障擷取技術

一般蕭基位障高度是從順向偏壓的 I-V 特性擷取，前提是電流傳導是由 TE 機制主導。當位障高度低於 0.5eV 之後，溫度在 300K-200K 之間的順向偏壓電流雖然仍以 TE 為主，但是因為蕭基位障阻抗已經很小，極易受串聯電阻影響，不易從單純的順向偏壓 I-V 特性擷取正確的位障高度。本計畫擬先採取 E. Dubois 及 G. Larrieu 於 2004 年發表的方法 [4]，以兩個蕭基位障界面背對背串聯，測量不同溫度及偏壓下的電流，以 TFE 模型加上 IFBL 效應來擷取蕭基位障高度及摻雜濃度。蕭基位障高度擷取程序建立之後，將以 TCAD 模擬各種位障高度以及基板濃度的蕭基接面的 I-V 特性，將模擬特性輸入擷取程序，比對得到的參數是否與預設參數一致，來驗證擷取程序是否正確。

### B. 極低接觸電阻係數擷取技術

根據以發表的文獻資料，接觸電阻的擷取準確度，和測試結構設計息息相關。本年將先以三維數值模擬完成 CBKR 結構完整評估，確認其測量極限以及製程敏感度。

在新式測試結構方面，初步構想是利用傳輸線模型(Transmission Line Model, TLM)擷取前端電阻(Front resistance,  $R_f$ )。前端電阻的定義如圖 5 所示，是實際元件會感受到的電阻，包括接觸電阻和接觸面下方的擴散區電阻。由傳輸線理論可以推導出前端電阻和接觸電阻的關係 [21]：

$$R_f = \frac{\sqrt{R_s \times \rho_c}}{W_c} \times \frac{1}{\tanh\left(L_c \sqrt{\frac{R_s}{\rho_c}}\right)}$$

其中  $R_s$  是擴散區的片電阻、 $\rho_c$  是接觸電阻係數、 $W_c$  是接觸區寬度、 $L_c$  是接觸區長度。 $\tanh(x)$  函數的  $x$  很大時，函數值逼近 1，因此當

$L_c \geq 3 \times \sqrt{\frac{\rho_c}{R_s}}$ ，第二項逼近 1，故我們可以設計一系列  $L_c$  相同但  $W_c$  不同的  $R_f$  測試結構，從

$R_f$  對  $1/W_C$  圖的斜率得到  $\sqrt{R_S \times \rho_C}$ ，再從  $R_S$  測試結構得到  $R_S$ ，即可決定  $\rho_C$ 。本年度將以三維數值模擬，分析此前端電阻法的誤差因素以及製程敏感度，決定適當的測試結構。

### C. 金屬/銻極低蕭基位障高度技術

金屬和 n 型銻的蕭基位障高度受費米能階鎖定影響極為嚴重，各種金屬接觸的蕭基位障高度幾乎都被限定在銻的價帶附近，也就是說蕭基位障高度約 0.5~0.6 eV。本年度計畫將嘗試緩解費米能階鎖定現象，將蕭基位障高度降低至 0.4eV 以下。

雖有文獻報導利用約 1 nm 的氧化鋁介面層可以將蕭基位障高度降低到 0.1 eV [22]，但是機制尚不明確，一說是減少金屬誘發能隙間態(Metal-Induced Gap State, MIGS)，一說是氧化鋁極性分子的電耦極作用。無論如何，因為氧化鋁層的穿隧阻抗，接觸電阻未必能夠降低。本計畫擬採用 ALD 沈積低能隙的  $Al_2O_3$  以及  $TiO_2$ ，期望在降低蕭基位障高度的同時，也可以降低接觸電阻。

## 四、結果與討論

### A. 極低蕭基位障擷取技術

我們考慮完整的 TFE 模型、IFBL 模型、能隙溫度模型、串聯電阻模型，調整接觸面濃度以及蕭基位障高度，使理論計算之電流-電壓特性和實驗值吻合，即可得出正確的接觸面濃度和蕭基位障高度。為驗證此擷取程序是否正確，我們以 TCAD 模擬蕭基位障高度僅 0.3eV 的接觸面電流-電壓特性，參數設定如下：基板為磷摻雜，濃度  $5 \times 10^{16} \text{ cm}^{-3}$ ；金屬功函數 4.35 eV。物理模型則考慮了載子遷移率之溫度與濃度模型、等效本質濃度的溫度模型、熱場發射模型、鏡像電荷模型。要注意的是 TCAD 為了簡化計算，內建的 IFBL 模型只是近似表示法，不是正式的物理模型。

圖 6 顯示 TCAD 模擬的電壓-電流特性，溫度從 200K 到 300K。圖上方的表格是用本計畫提出的擷取程序擷取的表面濃度和蕭基位障高度。蕭基位障高度誤差小於 5 meV，濃度誤差在高溫時稍微大一點，主因是高溫時，基板串聯電阻遠大於蕭基接觸面阻抗，故誤差變大。此模擬結果證實本計畫發展的擷取程序正確，

且至少可以應用在 0.3eV 的蕭基位障高度。

### B. 極低接觸電阻係數擷取技術

圖 7 是標準的 D 型 CBKR 結構，擴散區寬度等於接觸窗寬度。擴散區濃度分佈設定是 As 摻雜，接面深度 100nm，表面濃度  $1 \times 10^{20} \text{ cm}^{-3}$ ，p 型基板濃度  $1 \times 10^{15} \text{ cm}^{-3}$ 。以三維數值模擬計算自動對準結構( $\delta=0$ )的電流分佈如圖 8 所示，因為電流通過接觸面之後，仍可能在擴散區先分散，即使完全對準，還是會有寄生阻抗。圖 9 顯示  $\delta=0$  的情況下，不同接觸窗大小的測量誤差，即使接觸窗微縮到 50nm x 50nm，當  $\rho_C$  小於  $1 \times 10^{-8} \Omega\text{-cm}^2$ ，誤差會超過 20%。

圖 10 顯示新的前端電阻法的製程與結構，利用淺溝槽隔離技術，可以輕易達成自動對準結構。圖 11 是以三維數值模擬的測量誤差，擴散區濃度設定和 CBKR 結構相同。當  $L_c=2\mu\text{m}$ ， $\rho_C$  愈小，誤差愈小，當  $\rho_C < 1 \times 10^{-8} \Omega\text{-cm}^2$ ，誤差 < 3%！此結果證實新的前端電阻法有效，且特別適合於極低接觸阻抗，甚至可應用在金屬/金屬接觸。

### C. 金屬/銻極低蕭基位障高度技術

本年度著重於以介面層緩解 n 型 Ge 表面的費米能階限定問題。我們嘗試了  $Al_2O_3$  和  $TiO_2$  兩種介電質，兩者皆以 ALD 在 250°C 沈積。 $Al_2O_3$  以 TMA+ $H_2O$  為前驅物， $TiO_2$  則以 TDMAT+ $H_2O$  為前驅物。 $Al_2O_3$  試片以熱蒸鍍 Al 為上電極，因為熱蒸鍍的 Al 會和  $TiO_2$  形成  $Al_2O_3$  介面層，故  $TiO_2$  試片先以 ALD 沈積 5nm TiN，再以熱蒸鍍方式沈積 Al。 $Al_2O_3$  未經退火處理， $TiO_2$  則經過 600°C 退火處理。

介電層的厚度從 1nm 到 7nm，圖 12 及 13 分別是 1nm  $Al_2O_3$  和 7nm  $TiO_2$  的試片的電流-電壓特性，這分別是兩種試片中最佳結果。 $Al_2O_3$  厚度愈薄愈好，增加厚度會增加載子穿隧阻抗。 $TiO_2$  則需要較厚的厚度，才能有效緩解費米能階限定問題，此現象與文獻報導吻合[23]。 $Al_2O_3$  試片的電流在正負偏壓下不對稱， $TiO_2$  試片則相當對稱，原因是在負偏壓時，電子從金屬電極注入 Ge， $Al_2O_3$  試片是 Al/ $Al_2O_3$  結構， $TiO_2$  試片是 TiN/ $TiO_2$  結構，載子穿隧看到的位障高度不同。Al/ $Al_2O_3$  的位障較高，故呈現不對稱性。如果觀察正偏壓，載

子從 Ge 基板穿隧，兩種試片的電流大小差異不大。

由於 A 部分的蕭基位障高度擷取程序尚未納入介面層模型，故我們利用以下公式，以正偏壓 0.1V 時電流-溫度關係，擷取蕭基位障高度，請見圖 12 和 13 中的插圖。Al<sub>2</sub>O<sub>3</sub> 試片的蕭基位障高度為 0.268eV，TiO<sub>2</sub> 試片的蕭基位障高度為 0.238eV，都可以有效解除費米能階限定問題。TiO<sub>2</sub> 試片有較對稱的特性，固為較佳選擇。

## 五、成果自評

本年度的計畫進度進行順利，已經完成蕭基位障高度低於 0.3 eV、接觸電阻係數接近  $1 \times 10^{-9} \Omega\text{-cm}^2$  的參數擷取技術的測試結構設計、模擬分析、擷取程序。也發展出利用超薄介電層改善 n 型鍍表面費米能階限定的問題，將蕭基位障高度降低到 0.238 eV。

本年度已經完成第一批 GAA 複晶矽奈米線電晶體製作，通道長度僅 15nm 的全包覆式薄膜電晶體，通道厚度只有 8-9nm。短通道效應已經被有效控制，但是因為源極/汲極製程尚未最佳化，導通電流還有改善空間。上述成果已投稿一篇論文至國際研討會，其餘成果將陸續發表於國際研討會論文及 SCI 期刊。

本計畫原規劃為三年期計畫，雖未獲預核，但仍依規劃進度執行，不料 100 年度續提計畫，且列為第一順位，竟然未獲通過。且因為通過了原列為第二順位的計畫，至今無法得知第一順位計畫的評審意見。執行 30% 的計畫被迫中斷，非常遺憾。

## 六、參考文獻

- [1]. International Technology Roadmap for Semiconductors, Semiconductor Industry Association, 2010 update.
- [2]. S. M. Sze, Semiconductor Devices Physics and Technology, Wiley, New York, 1985.
- [3]. K. K. NG and R. Liu, "On the Calculation of Specific Contact Resistivity on ( 100 ) Si," IEEE Trans. Elec. Dev., vol.37, No.6, pp.1535-1537, 1990.
- [4]. E. Dubois and G. Larrieu, "Measurement of low Schottky barrier heights applied to metallic source/drain metal-oxide-semiconductor field effect transistors," J. Appl. Phys., vol.96, No.1, pp.729-737, 2004.
- [5]. T. A. Schreyer and K. C. Saraswat, "A Two-Dimensional Analytical Model of the Cross-Bridge Kelvin Resistor," IEEE Electron Dev. Lett., vol.7, No.12, 1-663, 1986.
- [6]. W. M. Loh, K. Saraswat, and R. W. Dutton, "Analysis and scaling of Kelvin resistors for extraction of specific contact resistivity," IEEE Elec. Dev. Lett., vol.6, No.3, pp.105-108, 1985.
- [7]. T. Yamauchi, Y. Nishi, Y. Tsuchiya, A. Kinoshita, J. Koga, and K. Kato, "Novel doping technology for a 1nm NiSi/Si junction with dipoles comforting Schottky (DCS) barrier," in Tech. Dig. of IEDM, pp.963-966, 2007.
- [8]. T. Marukame, T. Yamauchi, Y. Nishi, T. Sasaki, A. Kinoshita, J. Koga, and K. Kato, "Impact of platinum incorporation on thermal stability and interface resistance in NiSi/Si junctions based on first-principles calculation," in Tech. Dig. of IEDM, pp.547-550, 2008.
- [9]. Q. T. Zhao, U. Breuer, E. Rije, St. Lenk, and S. Mantl, "Tuning of NiSi/Si Schottky barrier heights by sulfur segregation during Ni silicidation," Appl.Phys. Lett., vol.86, 062108, 2005.
- [10]. H. S. Wong, L. Chan, G. Samudra, and Y. C. Yeo, "Effective Schottky Barrier Height Reduction Using Sulfur or Selenium at the NiSi/n-Si (100) Interface for Low Resistance Contacts," IEEE Elec. Dev. Lett., vol.28, No.12, pp.1102-1104, 2007.
- [11]. R. T. P. Lee, T. Y. Liow, K. M. Tan, A. E. J. Lim, C. S. Ho, K. M. Hoe, M.Y. Lai, T. Osipowicz, G. Q. Lo, G. Samudra, D. Z. Chi, and Y. C. Yeo, "Novel Epitaxial Nickel Aluminide-Silicide with Low Schottky-Barrier and Series Resistance for Enhanced Performance of Dopant-Segregated Source/Drain N-channel MuGFETs," in Proc. of Symp. on VLSI, pp.108-109, 2007.
- [12]. W. Y. Loh, H. Etienne, B. Coss, I. Ok, D. Turnbaugh, Y. Spiegel, F. Torregrosa, J. Banti, L. Roux, P. Y. Hung; J. Oh; B. Sassman, K. Radar, P. Majhi, H. H. Tseng; R. Jammy, "Effective Modulation of Ni

Silicide Schottky Barrier Height Using Chlorine Ion Implantation and Segregation,” IEEE Elec. Dev. Lett., vol.30, No.11, pp.1140-1142, 2009.

- [13]. T. Sonehara, A. Hokazono, H. Akutsu, T. Sasaki, H. Uchida, M. Tomita, H. Tsujii, S. Kawanaka, S. Inaba, and Y. Toyoshima, “Contact resistance reduction of Pt-incorporated NiSi for continuous CMOS scaling ~ Atomic level analysis of Pt/B/As distribution within silicide films,” in Tech. Dig. of IEDM, pp.921-924, 2008.
- [14]. M. C. Öztürk, J. Liu, H. Mo and N. Pesovic, “Advanced Si<sub>1-x</sub>G<sub>x</sub> source/drain and contact technologies for sub-70 nm CMOS,” in Tech. Dig. of IEDM, pp.375-378, 2002.
- [15]. S. Zaima, O. Nakatsuka, A. Sakai, J. Murota, Y. Yasuda, “Silicide and Germanide Technology for Contacts and Metal Gates in MOSFET Applications,” Appl. Surf. Sci., vol.224, pp.215-221, 2004.
- [16]. C. M. Hsieh, Y. R. Hung, B. Y. Tsui, Y. Yang, R. Shen, S. Cheng, and T. Lin, “Improving Thermal stability of Nickel Silicide by Germanium Ion Implantation,” in Proc. of the International Electron Devices and Materials Symposia (IEDMS), p.A2-7, 2007.
- [17]. X. Tang, J. Katski, E. Dubois, N. Reckinger, J. Ratajczak, G. Larrieu, P. Loumaye, O. Nisole, and V. Bayot, “Very low Schottky barrier to n-type silicon with PtEr-stack silicide,” Solid. State. Electronics, vol.47, pp.2105-2111, 2003.
- [18]. Y. Nishi, Y. Tsuchiya, A. Kinoshita, T. Yamauchi, and J. Koga, “Interfacial Segregation of Metal at NiSi/Si Junction for

Novel Dual Silicide Technology,” in Tech. Dig. of IEDM, pp.135-138, 2007.

- [19]. A. Łaszcz, J. Katski, J. Ratajczak, G. Larrieu, E. Dubois, X. Wallart, “Transmission electron microscopy of iridium silicide contacts for advanced MOSFET structures with Schottky source and drain,” J. of Alloys and Compounds, vol.382, pp.24-28, 2004.
- [20]. K. Ohuchi, C. Lavoie, C. Murray, C. D’Emic, I. Lauer, J. O. Chu, B. Yang, P. Besser, L. Gignac, J. Bruley, G. U. Singco, F. Pagette, A. W. Topol, M. J. Rooks, J. J. Bucchignano, V. Narayanan, M. Khare, M. Takayanagi, K. Ishimaru, D. G. Park, G. Shahidi, and P. Solomon, “Extendibility of NiPt Silicide Contacts for CMOS Technology Demonstrated to the 22-nm Node,” in Tech. Dig. of IEDM, pp.1029-1031, 2007.
- [21]. G. K. Reeves and H. B. Harrison, “Obtaining the specific contact resistance from transmission line model measurements,” IEEE Electron Device Lett., vol.3, No.5, pp.111-113, 1982.
- [22]. Y. Zhou, M. Ogawa, X. H. Han, and K. L. Wang, “Alleviation of Fermi-level pinning effect on metal/germanium interface by insertion of an ultrathin aluminum oxide,” Appl. Phys. Lett., vol. 93, p.202105, 2008.
- [23]. J.-Y. J. Lin, A. M. Roy, A. Nainani, Y. Sun, and K. C. Saraswat, “Increase in current density for metal contacts to n-germanium by inserting TiO<sub>2</sub> interfacial layer to reduce Schottky barrier height,” Appl. Phys. Lett., vol. 98, p.092113, 2011.

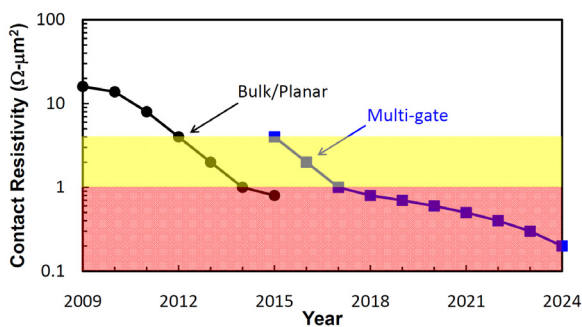


圖 1. 2010 ITRS 對未來 15 年的接觸電阻係數規格圖圖 2. 理論計算的接觸電阻係數和摻雜濃度及蕭基位障高度的關係[4]。

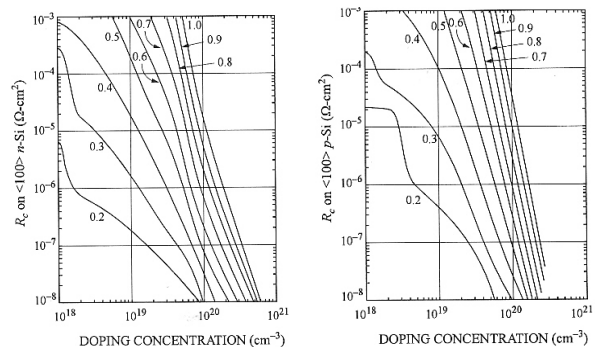


圖 2. 理論計算的接觸電阻係數和摻雜濃度及蕭基位障高度的關係[4]。

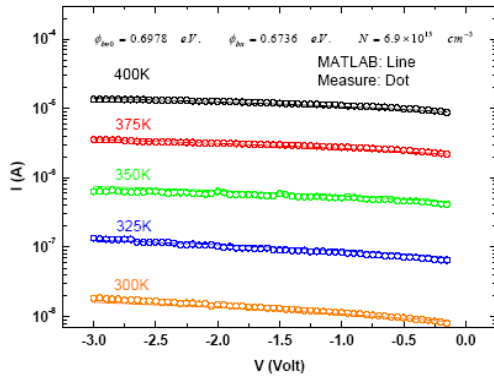


圖 3. 單純 NiSi/n-Si 蕭基位障界面在不同溫度下的逆向偏壓電流測量值和 TFE+IFBL 模型計算值的比較。

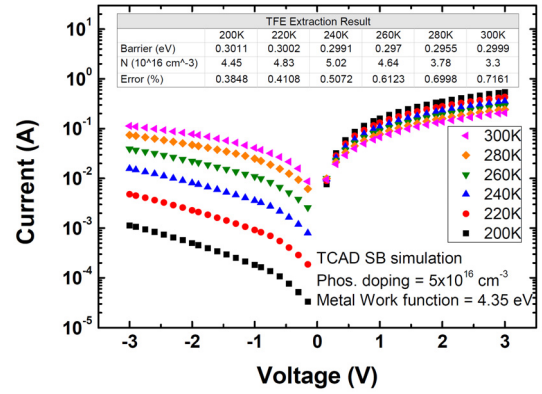


圖 6. 包含完整電流傳導機制之極低蕭基位障高度擷取程序可以正確擷取 0.3eV 的蕭基位障。

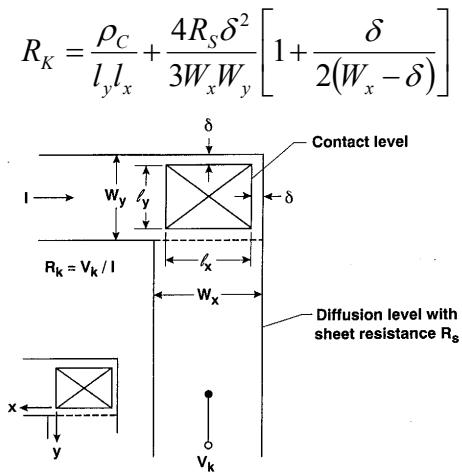


圖 4. 標準 L 型 Cross Bridge Kelvin Resistor (CBKR) 平面示意圖，以及理論推導的寄生效應 [24]。

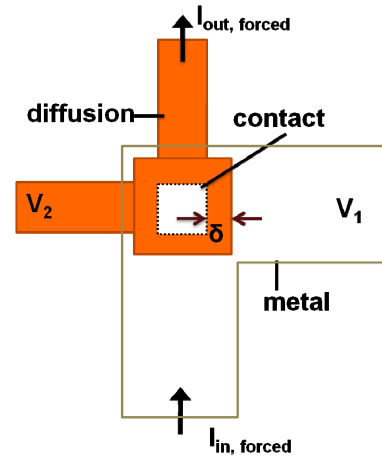
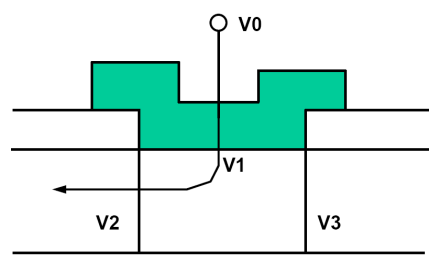


圖 7. 標準的 D-型 CBKR 結構示意圖。



$$R_c = \frac{V_o - V_1}{I}; R_f = \frac{V_o - V_2}{I}; R_e = \frac{V_o - V_3}{I}$$

$$R_f = \frac{\sqrt{R_s \cdot \rho_c}}{W_c} \cdot \frac{1}{\tanh\left(L \sqrt{\frac{R_s}{\rho_c}}\right)}; R_e = \frac{\sqrt{R_s \cdot \rho_c}}{W_c} \cdot \frac{1}{\sinh\left(L \sqrt{\frac{R_s}{\rho_c}}\right)}$$

圖 5. 前端電阻的定義以及和接觸電阻、末端電阻的關係。[29]。

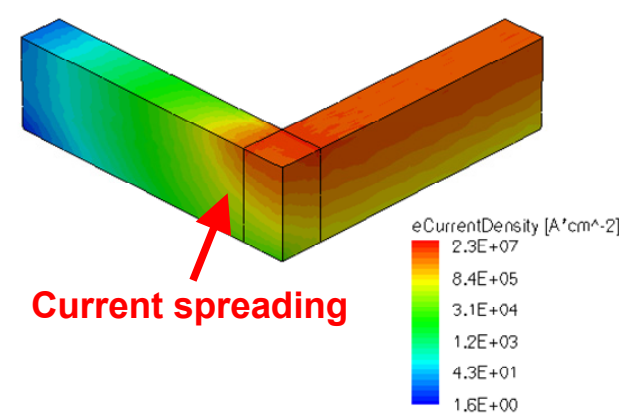


圖 8. 完全對準的 CBKR 結構的三維電流分佈。

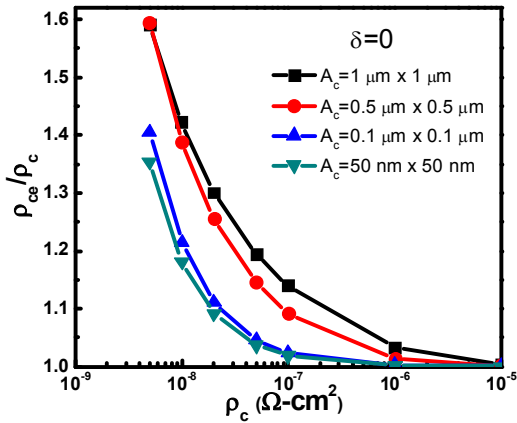


圖 9. 完全對準的 CBKR 結構，在不同接觸窗大小下的測量值和實際值的比例。

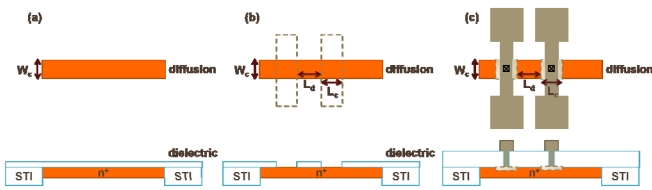


圖 10. 完全對準前端電阻測試結構的製作流程以及結構示意圖。(a)STI 隔離並形成 n+擴散區後，覆蓋介電層。(b)接觸窗微影蝕刻， $L_c$  由光罩決定， $W_c$  由擴散區寬度決定，接著在暴露出來的擴散區形成自動對準金屬矽化物。(c)覆蓋介電層，定義金屬/金屬矽化物接觸窗製，完成金屬化製程。

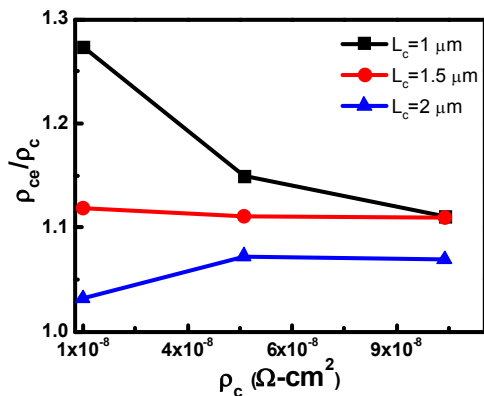


圖 11. 完全對準前端電阻測試結構的測量值和設定值的比例。

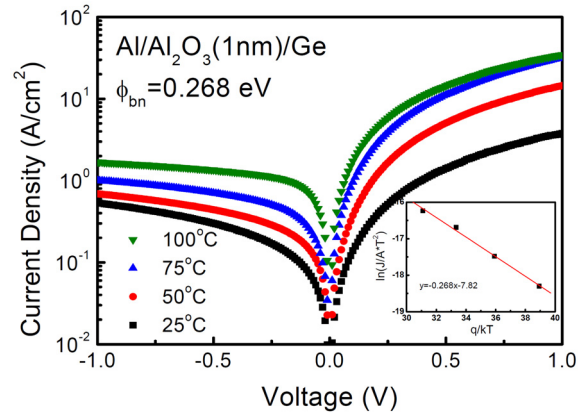


圖 12. Al/Al<sub>2</sub>O<sub>3</sub>(1nm)/Ge 結構在不同溫度的電流-電壓特性。

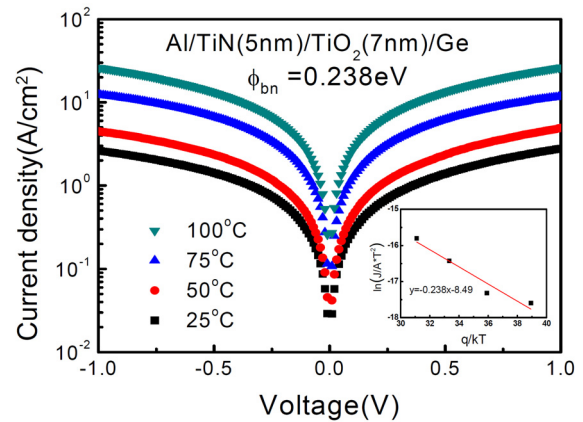


圖 13. Al/TiO<sub>2</sub>(7 nm)/Ge 結構在不同溫度的電流-電壓特性。



# 國科會補助專題研究計畫項下出席國際學術會議心得報告

日期：100 年 10 月 24 日

計畫編號	NSC 99-2221-E-009-173		
計畫名稱	極低蕭基位障與接觸電阻技術之研究(I)		
出國人員姓名	吳育昇	服務機構及職稱	國立交通大學電子工程學系暨電子研究所 博士班研究生
會議時間	100 年 06 月 11 日 至 100 年 06 月 17 日	會議地點	美國 夏威夷
會議名稱	(中文)2011 年矽奈米電子研討會以及 2011 年超大型積體電路技術研討會 (英文) 2011 Silicon Nanoelectronics Workshop & 2011 Symposium on VLSI Technology		
發表論文題目	(中文)以薛丁格方程式之解析解深入研究具有高介電常數介電質之鍺金氧半場效應電晶體之暗區及靜電特性 (英文) Detailed Study of “Dark Space” and Electrostatic Integrity for Ge MOSFETs with High-k Dielectric Using Analytical Solution of Schroedinger Equation		

## 一、參加會議經過

學生吳育昇此次赴日參加 2011 Silicon Nanoelectronics Workshop (SNW) & 2011 Symposium on VLSI Technology (VLSI)，主要希望能夠瞭解到目前固態電子領域的發展與未來趨勢，以助於往後的研究方向定位與設定，研討會行程如下表格所示：

行程日期	行程安排
2011/06/11	搭機赴日
2011/06/12~2011/06/13	參加 2011 Silicon Nanoelectronics Workshop
2011/06/14~2009/06/16	參加 2011 Symposium on VLSI Technology (VLSI)
2011/06/17	搭機返國

## 二、與會心得

學生很榮幸能夠參加這次的 Silicon Nanoelectronics Workshop 跟 Symposium on VLSI Technology 研討會，這兩個研討會都是在固態電子領域中相當著名的大型研討會，各個領域以及各個單位最前端的研究往往都會在這些研討會中發表，因此有機會參加這些研討會，對我的研究領域，除了能增加研究的深度外，更能增加研究的廣度，讓我能夠不被侷限在有限的範圍內，更能發揮自我的創新概念與應用，這對於目前電子元件的多功能目標有相當大的助益。

這次的研討會中，大部份都是由產業界所發表，由於目前電子元件極度的微縮，較先端以及微小尺度的元件都必須有較先進的設備來製作，因此在經費的限制下，學術單位較少有能夠與業界相抗衡的機台，因此學界鮮少有能夠去微縮以及強化元件特性的論文，另一方面，近年來極度被重視的變異性 (Variability) 統計與可靠度 (Reliability) 統計在學界也因為機台的變異性與使用度的限制，不太可能有完整的統計與分析，因此在學界大部份都是在探討物理機制與元件模擬方面的論文，如何利用已知的物理機制去發展新的元件操作特性，搭配元件模擬驗證來突破現在元件微縮所面臨的瓶頸，也是學術界目前積極努力的方向。

以下就我所參加的兩個研討會分別做簡短介紹

### 甲、Silicon Nanoelectronics Workshop (SNW)

Silicon Nanoelectronics Workshop 是每年舉辦 VLSI 時也會附屬舉辦的研討會之一，研討會主要都是討論 Silicon 的元件為主，其中包含許多不同的應用，搭配 SiGe Source/Drain 的技術以達到應力增加 Mobility 的目標，提升元件的效能，另外近年來極被重視的立體結構：Double Gate、Tri Gate、FinFET 以及 Silicon Nanowire 也占整個研討會相當大的比例，另外值得注意的就是元件的多功能性也是目前固態電子元件領域的一大目標，此次的 SNW 研討會總共包含了 Plenary & SiGe/Ge Channel FETs、Nanoscale FET: Variability & RTS、Nanowire FETs、Graphene & More-than-Moore、Highly Doped Devices、Single electron devices、Nonvolatile memory。最後的 Rump Session 主要是在討論未來 Non-volatile Memory 的發展與元件替代潛力，其中目前極有機會成為次世代的非揮發性記憶體 RRAM 更占了一整個 Session，可見 RRAM 目前備受關注與期待。

整個 SNW 的研討會除了讓我對 Silicon 元件有更多的瞭解外，更讓自己有著更多研究領域的方向與思考，拓展了眼界也豐富了知識，更加深了我對於當前 Silicon 元件的發展與未來趨勢，可說受益相當多。

## 乙、Symposium on VLSI Technology (VLSI)

今年 VLSI 包含了許多前瞻性的議題，通常是兩組會議同時在不同房間進行，很遺憾只能擇一參加，以下列舉我選擇的議題以及摘要內容。

首先是 RRAM 的部份，近年來 RRAM 的研究進展相當神速，今年 VLSI 特別用了兩個議程時段讓世界各地的研究機構發表成果，足以可見 RRAM 的重要性。雖然相關的研究很多，但 RRAM 一直難以進入量產階段，其中一個很大的限制因素就是 Forming 步驟的必要性，也就是通常製程結束後必須先加一個大電壓讓中間的介電層呈現半崩潰的現象，然而 Forming 路徑的隨機性往往是導致 RRAM 變異性大的主要原因之一。今年 Stanford University 就發表一種不需要 Forming 的新結構；香港大學則是嘗試用直徑極細的奈米碳管當作電極，增加崩潰電場的集中性；而 Samsung 則是提出堆疊多重介電層，讓氧空缺的來源與傳導絲(conduction filament)分離，可以得到變異性極低的 RRAM 陣列，甚至將耐久度(endurance)拉高到 10 的 12 次方。業界如 Hynix, Renesas, Samsung 都在會中提出 64Gb RRAM 記憶體陣列已經可以量產了，兩場會議充滿令人非常振奮的消息，相信下個世代的非揮發性記憶體，RRAM 將會是主角之一。

緊接著是 NAND 的會議，雖然 NAND 的技術已經成熟一段時間，但在 Moore's law 的微縮壓力及製程成本壓力下，以及在新式非揮發性記憶體(如 RRAM 和 MRAM)技術成熟之前，NAND 結構仍必須想辦法發揮到極限。單純的閘極長度微縮已經不實際，因為漏電將會增大，影響資料儲存的時間，因此開始近年開始有人想到往高處發展，也就是 3D 的堆疊概念。旺宏公司發表了垂直 4 層堆疊的 NAND 結構，在 SSL 處加入一個 PN 二極體，不僅解決了微縮上的壓力，也不會有寫入/抹除上的擾動，64Gb 已經不是夢。另外元件之間的寄生電容也是影響資料流失、寫入效率下降的主要因素之一，Hynix 公司發表用空氣填充介電層的製程可能性，雖然有所隱瞞，但確實是相當不錯的解決方法。為了降低 NAND 的操作電壓，旺宏公司發表一種新的寫入方式：利用鄰近的元件閘

極電壓來影響要寫入的元件通道電場，實現熱載子注入，可惜的是寫入時間仍然必須拉長。還有 KAIST 發表用無接面場效電晶體(Junction-less FET)來取代傳統反轉式場效電晶體(Inversion mode FET)，因為無接面電晶體的通道都是高濃度的，能夠有效降代串聯電阻，增加同一條 bit line 上的電晶體個數，也有助於提升元件密度。

Rump Session 我選擇參加了討論 UTB-SOI(Ultra-thin-body SOI)和 FinFET 的未來展望，其中 Intel 宣布將在 22nm 世代採用 FinFET 結構，然而 IBM 則堅持 UTB-SOI 有更好的潛力，在這個議程聽到了來自業界、學界的專業論述，讓學生我增廣見聞，有很多考量在學界可能被忽略，但對業界來說卻相當關鍵，我想在我未來的研究上，我將會從更多的角度去切入，深入地探討其實用性與可行性。

UTB-SOI 也是目前相當熱門的研究主題，也佔了 2 個議程時間。相較於 FinFET，應用 UTB-SOI 技術可以減少電路設計上的種種困擾，像是 body 的電壓與通道寬度的設計彈性，因為還是平面的，所以原本已經設計好 layout 可以輕易地延用，最大的缺點就在於晶片的成本，在二氧化矽上的單晶矽必須非常地薄(約 5~10nm)。法國的 CEA-Leti 公司發表 UTB-SOI 3D 堆疊的可能性，Renesas 也發表了適用於後段製程的電晶體，也許未來電晶體將不再侷限於最底層，更多的可能性讓學生我受到許多啟發，不要受限於傳統，創意才會泉湧而來。

最後就是關於大量元件下變異性的控制和可靠度的議題，大致包含了三個議程時間。許多人開始討論隨機電報雜訊(Random Telegraph Noise, RTN)、閘壓溫度不穩定性(Bias Temperature Instablity, BTI)與隨機摻雜分布(Random Dopant Fluctuation, RDF)之間的關聯性，發現在元件極小的時候，RTN 造成的變異性將會超過 RDF，而且在測量 RTN 的同時，BTI 的 stress 和 recovery 也會同時發生，因此必須用各種量測或統計方法去觀察真實的元件可靠度。

### 三、考察參觀活動(無是項活動者略)

無。

#### 四、建議

希望相關政府單位能夠在這領域投入更多的資源，才能夠讓國內學術界研發能量迎頭趕上其他國家。

#### 五、攜回資料名稱及內容

論文集兩本。

#### 六、其他

無。

From: [snw2011@ssn.pe.titech.ac.jp](mailto:snw2011@ssn.pe.titech.ac.jp) [mailto:[snw2011@ssn.pe.titech.ac.jp](mailto:snw2011@ssn.pe.titech.ac.jp)]

Sent: Wednesday, April 20, 2011 5:10 PM

To: [oison.ee93g@nctu.edu.tw](mailto:oison.ee93g@nctu.edu.tw)

Subject: SNW2011 Decision Notification

Dear Yu-Sheng Wu,

We are pleased to inform you that your abstract entitled

"Detailed Study of "Dark Space" and Electrostatic Integrity for Ge  
MOSFETs with High-k Dielectric Using Analytical Solution of Schroedinger  
Equation"

has been accepted for an oral presentation at SNW2011.

The time allotted for your presentation is 20 minutes including  
discussions. The program of the workshop will be uploaded on  
the workshop home page soon.

We are looking forward to seeing you in Kyoto.

Sincerely yours,

Ken Uchida, SNW2011 Program Chair

# Detailed Study of “Dark Space” and Electrostatic Integrity for Ge MOSFETs with High-k Dielectric Using Analytical Solution of Schrödinger Equation

Yu-Sheng Wu and Pin Su

Department of Electronics Engineering & Institute of Electronics, National Chiao Tung University, Taiwan.

E-mail: [pinsu@faculty.nctu.edu.tw](mailto:pinsu@faculty.nctu.edu.tw)

## I. Introduction

As the high-k/metal-gate stack is introduced to continue the scaling of equivalent oxide thickness (EOT), high mobility channel materials such as Ge have been proposed to compensate for the mobility loss due to the high-k gate stack [1]. However, larger “dark space” is one major concern for Ge devices [2]. “Dark space” can be viewed as the distance from the interface to the centroid of the carrier layer (normalized with the permittivity ratio) [2]. This dark space is critical because it may significantly increase the overall electrical EOT ( $EOT_e$ ) in the subthreshold region, and degrade the device electrostatic integrity. In this work, using derived analytical solution of the Schrödinger equation, we provide a detailed study of the dark space for Ge MOSFETs with high-k dielectric.

## II. Analytical Solution of Schrödinger Equation

To give a quantitative model of the dark space, we have analytically derived the eigen-energies and eigen-functions of the carriers in the subthreshold region, under which a triangular well  $V(x) = q \cdot F_S \cdot x$  [3] with  $F_S$  the surface electric field can be used. For high-k dielectric, the barrier height ( $\phi_b$ ) is relatively small and the eigen-functions are not zero at the dielectric/channel interface ( $x=0$ ). Using the boundary conditions that the eigen-function as well as its first derivative divided by the carrier effective mass are continuous across the interface, Eqn. (1) can be derived with  $Ai(x)$  and  $Bi(x)$  representing Airy functions of the first and second kind, respectively. The eigen-energy  $E_j$  can be determined from (1). It can also be expressed as  $E_j \approx E_j(\phi_b = \infty) - \Delta E_j$  with  $E_j(\phi_b = \infty)$  derived by Stern [3] and  $\Delta E_j$  (Eqn. (2)) the eigen-energy reduction due to the wavefunction penetration (WP) into high-k dielectric.

Fig. 1 shows that the ground-state eigen-energies ( $E_0$ ) increase with  $F_S$ . In addition, the discrepancy between our model and Stern’s one (without WP) also increases with  $F_S$ , as indicated by (2). For a given  $F_S$  near the onset of threshold, Fig. 2 shows that the discrepancy between the two models increases as the dielectric barrier height decreases, and our model agrees well with the TCAD simulation that numerically solves coupled Poisson and Schrödinger equations [4]. Note that a steep-retrograde doping profile is used in the comparison. Fig. 3 further compares the profiles of the lowest two subband wavefunctions between models and exact solution. Fig. 4 infers that the size of the dark space can be reduced by the wavefunction-penetration effect.

## III. Subthreshold Swing & Dark Space Modeling

The dark space degrades the subthreshold swing (SS):  $SS \cong (kT/q) \cdot \ln(10) \cdot \{1 - dF_S/dV_G \cdot [(\epsilon_{ch}/\epsilon_{di})T_{di} + d(E_0/q)/dF_S]\}^{-1}$ . Fig. 5(a) shows that for long-channel Ge NFETs, the SS of

(100)-surface is larger than the (110) and (111) counterparts. Moreover, the impact of WP on the SS of (100)-surface is larger than the (110) and (111) counterparts due to the more significant quantum-confinement effect. Moreover, the reduction of SS for Si NFETs with (100) and (110) surfaces due to the WP effect is not as significant as the Ge counterparts. Fig. 5(b) shows that the the impact of wavefunction penetration on the SS increases for short-channel devices.

The reduced SS in Fig. 5 due to WP can be explained by the carrier centroid  $X_0 = \int x \cdot \Psi_0^2(x) dx / \int \Psi_0^2(x) dx$  with  $\Psi_0(x)$  being the ground-state wavefunction. The  $X_0$  is equal to  $2E_0/(3qF_S)$  if the wavefunction vanishes at the interface [3]. However, as the WP effect is considered, Fig. 6 shows that the  $X_0$  calculated by  $d(E_0/q)/dF_S$ , which is a more accurate and general expression for  $X_0$ , becomes significantly smaller than that calculated by  $2E_0/(3qF_S)$ . With the accurate modeling of  $X_0$  considering wavefunction penetration, Fig. 7 shows that the dark space ( $=X_0/(\epsilon_{ch}/\epsilon_{ox})$ ) can be used to explain the surface-orientation dependence of SS in Fig. 5.

## IV. Detailed Study of Dark Space

In addition to surface orientation, the dark space also depends on the material of high-k dielectric because of the different degree of wavefunction penetration. Fig. 8 shows that among the three gate dielectrics,  $HfO_2$  possesses the smallest dark space. Since the substrate bias ( $V_{sub}$ ) can modulate the surface field  $F_S$  (Fig. 6), the dark space decreases with reverse  $V_{sub}$  as shown in Fig. 9. Moreover, the relative importance of dark space in the overall  $EOT_e$  is increasing with the scaling of the EOT. Fig. 10 shows that for Ge NFET with EOT down scaled to 0.4nm, the dark space is ~60% of the overall  $EOT_e$  for (100) surface, and decreases to ~40% for (111) surface. For Ge-PFET, the relative importance of dark space in the overall  $EOT_e$  is between (100) and (111) surfaces for Ge-NFET.

## V. Summary

We have conducted a detailed study of dark space and electrostatic integrity for high-k-dielectric Ge MOSFETs using derived analytical solution of the Schrödinger equation. Our study indicates that the dark space depends on surface orientation, and for Ge NFET, the dark space for (111) surface is smaller than the (100) and (110) counterparts. Because of the wavefunction-penetration effect, the Ge NFET with  $HfO_2$  as gate dielectric possesses smaller dark space than the  $Si_3N_4$  and  $Al_2O_3$  counterparts. In addition, due to different quantization effective mass, the wavefunction-penetration effect has to be considered when one-to-one comparisons between Ge and Si devices regarding the dark space are made. The modulation of dark space by applying substrate bias is also discussed.

$$[Ai(-k_{ch}x_{ch}) \cdot Bi'(-k_{di}x_{di}) - (m_{di}/m_{ch})(k_{ch}/k_{di})Bi(-k_{di}x_{di}) \cdot Ai'(-k_{ch}x_{ch})] \cdot Ai(-k_{di}(x_{di} + T_{di})) = 0 \quad (1)$$

$$k_{ch} = \left( \frac{2m_{ch}qF_S}{\hbar^2} \right)^{1/3}, \quad x_{ch} = \frac{E_j}{qF_S}, \quad k_{di} = \left( \frac{2m_{di}q(\epsilon_{ch}/\epsilon_{di})F_S}{\hbar^2} \right)^{1/3}, \quad x_{di} = \frac{E_j - q\phi_b}{(\epsilon_{ch}/\epsilon_{di})qF_S}$$

$m_{ch}$  and  $m_{di}$  are effective mass in the channel and dielectric, respectively.  $\epsilon_{ch}$  and  $\epsilon_{di}$  are permittivity of the channel and dielectric, respectively.  $T_{di}$  is the dielectric thickness.

$$\Delta E_j = \frac{qF_S}{\left( \frac{2m_{di}}{\hbar^2} \right)^{1/2} \left[ \left( \frac{m_{ch}}{m_{di}} - \frac{\epsilon_{di}}{\epsilon_{ch}} \right) \cdot (q\phi_b - E_j(\phi_b = \infty))^{1/2} + \left( \frac{\epsilon_{di}}{\epsilon_{ch}} \right) \cdot \left( q\phi_b - E_j(\phi_b = \infty) - \frac{\epsilon_{ch}}{\epsilon_{di}} \cdot T_{di} \cdot qF_S \right)^{1/2} \right]}, \quad j = 0, 1, 2, \dots \quad (2)$$

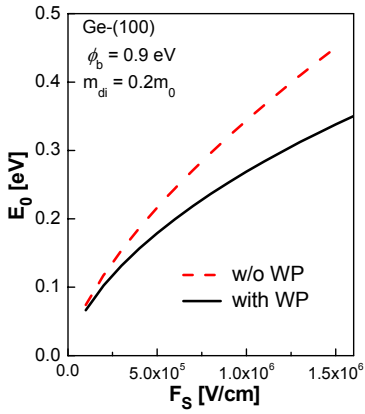


Fig. 1 Comparison of surface electric field dependences of  $E_0$  for Ge-(100) surface calculated with and without wavefunction penetration.

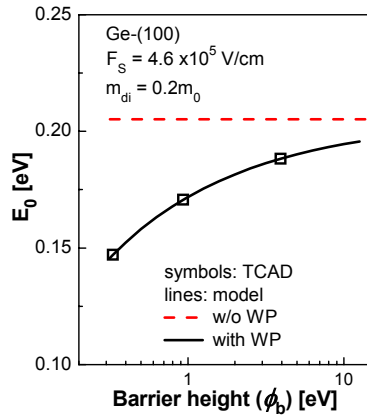


Fig. 2 Comparison of barrier height dependences of  $E_0$  for Ge-(100) surface calculated with and without wavefunction penetration.

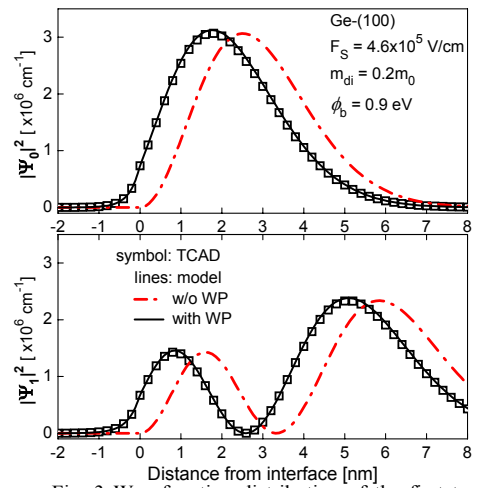


Fig. 3 Wavefunction distribution of the first two subbands for Ge-(100) surface with and without considering wavefunction penetration.

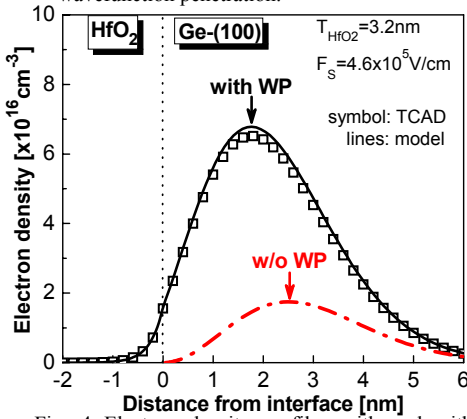


Fig. 4 Electron density profiles with and without considering wavefunction penetration. The  $\phi_b$  and  $m_{di}$  used for  $\text{HfO}_2$  in this study are 0.9eV and  $0.2m_0$  [5], respectively.

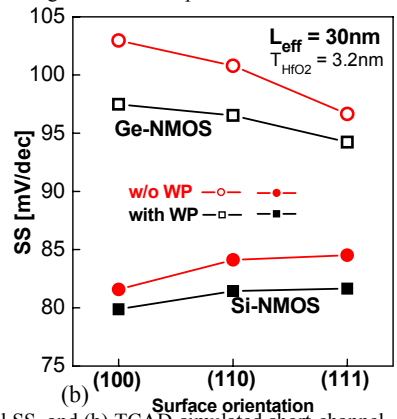
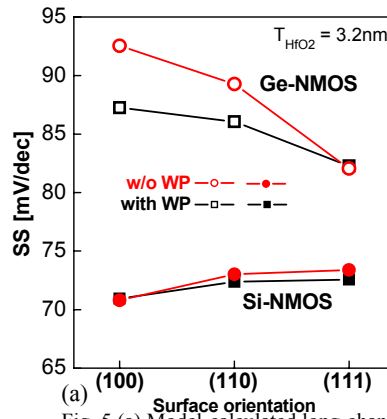


Fig. 5 (a) Model-calculated long-channel SS, and (b) TCAD-simulated short-channel SS for Ge-NFET and Si-NFET with various surface orientations.

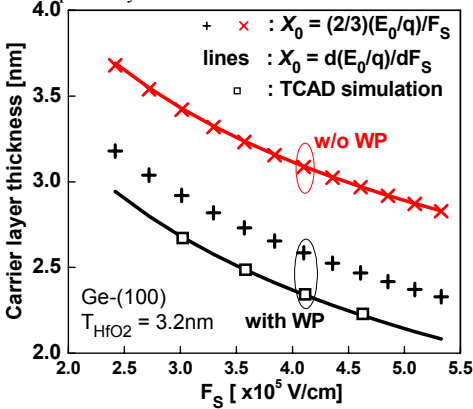


Fig. 6 Comparison of the two expressions for the carrier layer thickness ( $X_0$ ). The  $X_0$  from TCAD simulation is calculated by  $\int x \cdot \Psi_0^2(x) dx / (\int \Psi_0^2(x) dx)$ .

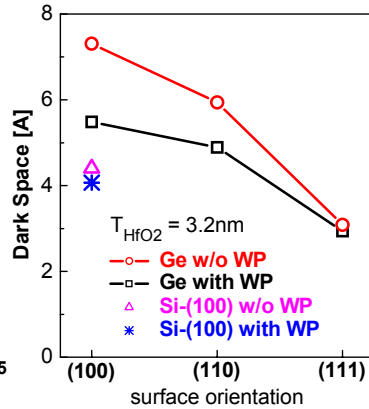


Fig. 7 Dark space of Ge-NFET depends on the surface orientation for a given surface field and dielectric material.

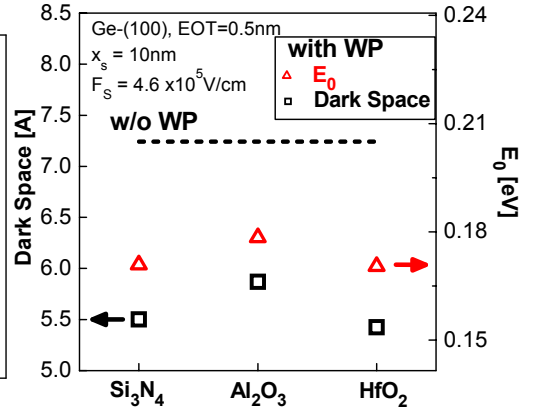


Fig. 8 Dark space and  $E_0$  for Ge-(100) with various high-k dielectrics. The  $\phi_b$  used for  $\text{Si}_3\text{N}_4$  and  $\text{Al}_2\text{O}_3$  in our calculation are 1.7eV and 2.6eV, respectively. The  $m_{di}$  used for  $\text{Si}_3\text{N}_4$  and  $\text{Al}_2\text{O}_3$  are  $0.4m_0$  and  $0.35m_0$ , respectively [5].

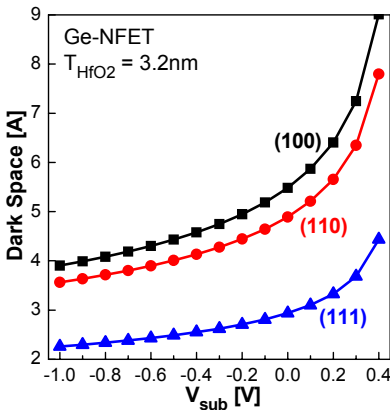


Fig. 9 Substrate bias dependences of dark space for Ge NFET with various surface orientations.

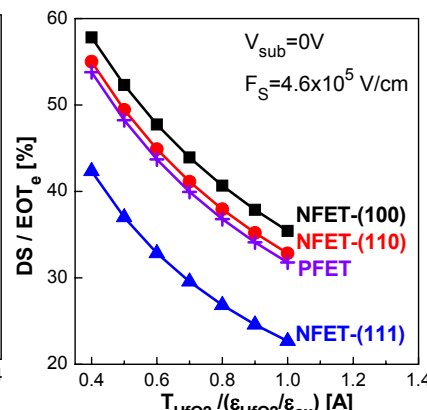


Fig. 10 The relative importance of dark space increases with the down scaling of EOT.

## Acknowledgement

This work was supported in part by the National Science Council of Taiwan under contract NSC 99-2221-E-009-174 and in part by the Ministry of Education in Taiwan under ATU Program.

## References

- [1] S. Takagi and M. Takenaka, VLSI Symp. 2010, p.147.
- [2] T. Skotnicki and F. Boeuf, VLSI Symp. 2010, p.153.
- [3] F. Stern, Phy. Rev. B, vol. 5, no. 12, p.4891, 1972.
- [4] ATLAS User's Manual, SILVACO, 2008.
- [5] Y.-C. Yeo et al., APL, vol. 81, no. 11, p. 2091, 2002.



# 國科會補助計畫衍生研發成果推廣資料表

日期:2011/10/21

國科會補助計畫	計畫名稱: 極低蕭基位障與接觸電阻技術之研究(I)
	計畫主持人: 崔秉鉞
	計畫編號: 99-2221-E-009-173- 學門領域: 固態電子
無研發成果推廣資料	

99 年度專題研究計畫研究成果彙整表

計畫主持人：崔秉鉞		計畫編號：99-2221-E-009-173-					
計畫名稱：極低蕭基位障與接觸電阻技術之研究(I)							
成果項目		量化			單位	備註（質化說明：如數個計畫共同成果、成果列為該期刊之封面故事...等）	
		實際已達成數（被接受或已發表）	預期總達成數(含實際已達成數)	本計畫實際貢獻百分比			
國內	論文著作	期刊論文	0	0	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	0	0	100%		
		專書	0	0	100%		
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力 (本國籍)	碩士生	0	0	100%	人次	
		博士生	0	0	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		
國外	論文著作	期刊論文	0	2	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	0	2	100%		
		專書	0	0	100%	章/本	
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力 (外國籍)	碩士生	0	0	100%	人次	
		博士生	0	0	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		

<p>其他成果 (無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)</p>	無。
----------------------------------------------------------------------------------------	----

	成果項目	量化	名稱或內容性質簡述
科 教 處 計 畫 加 填 項 目	測驗工具(含質性與量性)	0	
	課程/模組	0	
	電腦及網路系統或工具	0	
	教材	0	
	舉辦之活動/競賽	0	
	研討會/工作坊	0	
	電子報、網站	0	
	計畫成果推廣之參與(閱聽)人數	0	

# 國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

## 1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

達成目標

未達成目標（請說明，以 100 字為限）

實驗失敗

因故實驗中斷

其他原因

說明：

## 2. 研究成果在學術期刊發表或申請專利等情形：

論文： 已發表  未發表之文稿  撰寫中  無

專利： 已獲得  申請中  無

技轉： 已技轉  洽談中  無

其他：（以 100 字為限）

已投稿一篇國際研討會論文，預估再投稿一篇國際研討會論文及兩篇 SCI 期刊論文。

## 3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

本計畫為原規劃三年期計畫的第一年，第一年度以建立極低蕭基位障高度以及極低接觸電阻係數的參數擷取技術為主，以便驗證後續製程技術開發的成效。本年度並將完成蕭基位障元件製作以及接觸電阻係數的測試結構的設計，並嘗試幾種降低蕭基位障高度的技術，均順利完成。主要成果包括：(1)建立包含完整電流傳導機制之極低蕭基位障高度擷取程序。(2)完成極低接觸電阻係數擷取技術之方法、結構設計、模擬分析。(3)研發以超薄介電層降低金屬對 n 型鍍蕭基位障高度技術。可應用於金屬/半導體接面之基礎研究、22 奈米技術以下之歐姆接觸、各種非矽半導體之歐姆接觸之學術研究與產業技術發戰。